

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **07-098619**  
(43)Date of publication of application : **11.04.1995**

(51)Int.CI. G06F 1/16  
G06F 1/18  
G06K 17/00  
G06K 19/077

(21)Application number : 05-242925  
(22)Date of filing : 29.09.1993

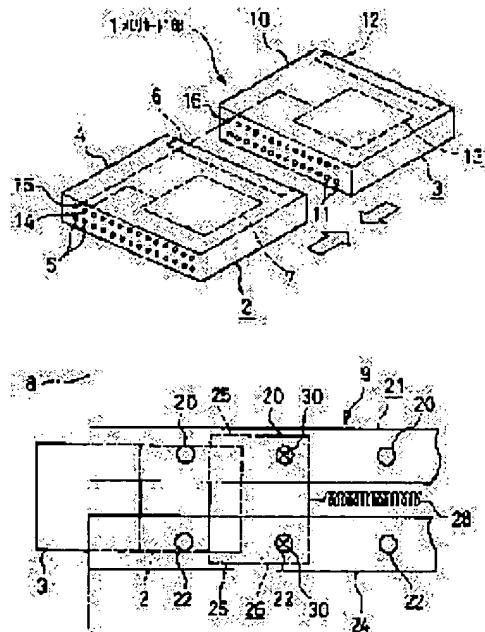
(71)Applicant : **TOSHIBA CORP**  
(72)Inventor : **MATSUOKA KAZUNORI**

## (54) MEMORY CARD SYSTEM

(57) Abstract:

**PURPOSE:** To simultaneously use memory cards for various uses by providing a connector block which can freely be moved to the depth direction of a card insertion port for an electronic unit-side to which the plural memory cards which can mutually and freely be connected are connected.

**CONSTITUTION:** The plane memory cards 2 and 3 are provided with female connectors 5 and 11, male connectors 6 and 12, and RAM 7 and ROM 13, which are connected to them. The cards can mutually and freely be connected. A connector mechanism 9 arranged at the inner side of the card insertion port in the electronic unit 8 is energized by a compression coil spring 28, and it is provided with the connector block 26 which can freely be moved to the depth direction of the card insertion port. For setting the connector mechanism 9 with the memory cards 2 and 3 in a connected state as they are, for example, a screw 30 is inserted into second holes from the ends of screw holes 20 and 22 in guide rails 21 and 24 and the screw hole 29 of the connector block 26 so as to fix the connector block 26. Thus, the female connector 5 of the memory card 2 is connected to the connector



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-98619

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl.

G06F 1/16  
1/18  
G06K 17/00

識別記号 庁内整理番号

F I

技術表示箇所

G06F 1/00

312 W  
320 E

審査請求 未請求 請求項の数 1 O L (全7頁) 最終頁に続く

(21) 出願番号 特願平5-242925

(22) 出願日 平成5年(1993)9月29日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 松岡 一憲

東京都府中市東芝町1番地 株式会社東芝  
府中工場内

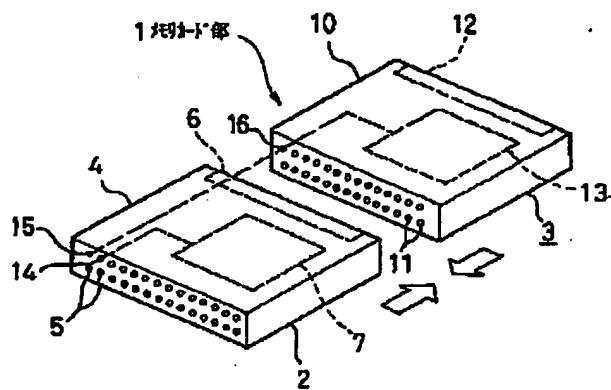
(74) 代理人 弁理士 三好 秀和 (外3名)

(54) 【発明の名称】メモリカードシステム

(57) 【要約】

【目的】 本発明はコネクタの数を1にして、コネクタスペースを最小に保持して操作性が悪化しないようにしながら、差し替えなどの操作を行うことなく各用途のメモリカードを同時に使用する。

【構成】 電子機器8のカード挿入口の内側にコネクタ機構9を配置するとともに、第1、第2メモリカード2、3を連結自在にし、これら第1、第2メモリカード2、3を連結状態にしたまま、前記カード挿入口に挿入したとき、前記電子機器8側のCPU35と前記第1、第2メモリカード2、3とを接続させる。



## 【特許請求の範囲】

【請求項1】 薄板状に形成され、互いに連結自在なコネクタを有する複数のメモリカードと、これらの各メモリカードが接続される電子機器側に設けられ、カード挿入口の奥方向に移動自在なコネクタブロックを有するコネクタ機構と、を備えたことを特徴とするメモリカードシステム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は各種の電子機器に接続されて使用されるメモリカードシステムに関する。

## 【0002】

【従来の技術】 携帯型のパソコンなどの電子機器では、外部記憶装置として、メモリカードやICカードと呼ばれるカード（以下、これらをメモリカードと称する）を使用して、電子機器内部に設けられたメモリより、多くの記憶容量を持たせたり、フォントデータなどの外部データを使用できるようにすることが多い。

## 【0003】

【発明が解決しようとする課題】 しかしながら、上述した従来のメモリカードにおいては、匡体内にROMまたはRAM、EEPROMなどのいずれか1つのみを格納するようしているので、電子機器側に1つのコネクタしかない場合、いずれかのメモリカード、例えばRAMが内蔵されたメモリカードを使用しているとき、他のメモリカード、例えばフォントデータなどが格納されたROMを有するメモリカードなどを使用することができず、用途別のメモリカードを電子機器に接続する際、その都度メモリカードを差し替えなければならないという問題があった。

【0004】 そこで、このような問題を解決する方法として、電子機器側に複数のコネクタを設けることも行われているが、このような方法では、電子機器側のコネクタスペースが増加してしまい、操作性が悪くなってしまうという問題があった。

【0005】 本発明は上記の事情に鑑み、コネクタの数を1にして、コネクタスペースを最小に保持して操作性が悪化しないようにしながら、差し替えなどの操作を行うことなく各用途のメモリカードを同時に使用することができるメモリカードシステムを提供することを目的としている。

## 【0006】

【課題を解決するための手段】 上記の目的を達成するために本発明によるメモリカードシステムは、薄板状に形成され、互いに連結自在なコネクタを有する複数のメモリカードと、これらの各メモリカードが接続される電子機器側に設けられ、カード挿入口の奥方向に移動自在なコネクタブロックを有するコネクタ機構とを備えたことを特徴としている。

## 【0007】

【作用】 上記の構成において、薄板状に形成された各メモリカードに、互いに連結自在なコネクタを設けるとともに、これらの各メモリカードが接続される電子機器側に、カード挿入口の奥方向に移動自在なコネクタブロックを有するコネクタ機構を設け、各メモリカードの接続数に応じて前記コネクタブロックをカード挿入口の奥方向に移動させて各メモリカードを電子機器内に収納する。

## 【0008】

【実施例】 図1は本発明によるメモリカードシステムの一実施例で使用されるメモリカード部の一例を示す斜視図、図2はこの実施例で使用されるコネクタ機構の一例を示す斜視図である。

【0009】 図1に示すメモリカード部1は第1メモリカード2と、第2メモリカード3とによって構成されており、接続対象となる電子機器8（図5参照）に対して第1、第2メモリカード2、3が単独、または連結した形で挿入されて使用される。

## 【0010】 第1メモリカード2はプラスチックなどの

20 材料によって形成される平板状の匡体4と、この匡体4の一側面に設けられるメスコネクタ5と、前記匡体4の前記メスコネクタ5が設けられている面と対向する一側面に設けられ、前記メスコネクタ5と電気的に接続されるオスコネクタ6と、前記匡体4の内部に設けられ、前記メスコネクタ5および前記オスコネクタ6に接続されるRAM7とを備えており、電子機器8においてRAM7が必要なとき、匡体4の一側面に設けられたメスコネクタ5が前記電子機器8側のコネクタ機構9に接続されて使用される。

## 【0011】 また、第2メモリカード3はプラスチックなどの材料によって形成される平板状の匡体10と、この匡体10の一側面に設けられるメスコネクタ11と、前記匡体10の前記メスコネクタ11が設けられている面と対向する一側面に設けられ、前記メスコネクタ11と電気的に接続されるオスコネクタ12と、前記匡体10の内部に設けられ、前記メスコネクタ11および前記オスコネクタ12に接続されるROM13とを備えており、電子機器8においてROM13が必要なとき、匡体10の一側面に設けられたメスコネクタ11が前記電子機器8側のコネクタ機構9に接続されている前記第1メモリカード2のオスコネクタ6に接続されて使用される。

## 【0012】 この場合、第1メモリカード2の前記メスコネクタ5を構成する各ピンのうちの1つが前記RAM7を選択するRAM用CEピン14として使用され、残りのうちの1つが第2メモリカード3を選択するROM用CEピン15として使用され、また前記第2メモリカード3のメスコネクタ11を構成する各ピンのうち、前記ROM用CEピン15と接続されるピンが前記ROM

40 13を選択するROM用CEピン16として使用され

【0013】 この場合、第1メモリカード2の前記メスコネクタ5を構成する各ピンのうちの1つが前記RAM7を選択するRAM用CEピン14として使用され、残りのうちの1つが第2メモリカード3を選択するROM用CEピン15として使用され、また前記第2メモリカード3のメスコネクタ11を構成する各ピンのうち、前記ROM用CEピン15と接続されるピンが前記ROM

る。

【0013】また、図2に示すコネクタ機構9は図3に示す如く縦断面“コ”字状に形成され、前記第1、第2メモリカード2、3の長さに対応する各位置にコネクタ固定用のネジ穴20が形成された第1ガイドレール21と、縦断面“コ”字状に形成され、前記第1、第2メモリカード2、3の長さに対応する各位置にコネクタ固定用のネジ穴22が形成され、溝23の開口部側が前記第1ガイドレール21に形成された溝19の開口部側と対向するように配置される第2ガイドレール24と、図4に示す如く縦断面“十”字状に形成され、その薄板部25が前記第1ガイドレール21、第2ガイドレール24の各溝19、23内にスライド自在に嵌入されるコネクタブロック26と、このコネクタブロック26の前記第1メモリカード2が接続される側に設けられるオスコネクタ27と、前記コネクタブロック26の前記オスコネクタ27が設けられている面に対向する側の面と電子機器8のフレーム側との間に配置され、前記コネクタブロック26を外部側に付勢する圧縮コイルバネ28とを備えている。

【0014】そして、このコネクタ機構9は一端が電子機器8のカード挿入口の直ぐ奥側となるように前記電子機器8内に配置され、このコネクタ機構9に対して第1カードコネクタ2のみをセットするときには、図5に示す如く第1、第2ガイドレール21、24に形成された各ネジ穴20、22のうち、最も端にある各ネジ穴20、22と、コネクタブロック26の薄板部25に形成された各ネジ穴29との位置が一致させられた後、これらのネジ穴20、22、29に対してネジ30が挿通されてコネクタブロック26が固定される。

【0015】これによって、第1メモリカード2を電子機器8のカード挿入口に挿通したとき、この第1メモリカード2のメスコネクタ5がコネクタブロック26のオスコネクタ27に接続される。

【0016】また、このコネクタ機構9に対して第1メモリカード2と第2メモリカード3とをセットするときには、図6に示す如く第1、第2ガイドレール21、24に形成された各ネジ穴20、22のうち、端から2つ目の各ネジ穴20、22と、コネクタブロック26の薄板部25に形成された各ネジ穴29との位置が一致させられた後、これらのネジ穴20、22、29に対してネジ30が挿通されてコネクタブロック26が固定される。

【0017】これによって、第1メモリカード2と第2メモリカード3を連結した後、第1メモリカード2側を電子機器8のカード挿入口に挿通したとき、この第1メモリカード2のメスコネクタ5がコネクタブロック26のオスコネクタ27に接続される。

【0018】この場合、前記電子機器8は、図7に示す如く、各種の処理を行うCPU35と、このCPU35

のアドレスバス36に接続され、前記CPU35からチップイネーブル信号CE1が出力されたとき、読み出し可能状態となるROM37と、前記CPU35のアドレスバス36に接続され、前記CPU35からチップイネーブル信号CE2が出力されたとき、書き込み、読み出し可能状態となるRAM38と、前記CPU35のアドレスバス36に接続され、前記CPU35からチップイネーブル信号CE3が出力されたとき、読み出し可能状態となるEEPROM39と、前記CPU35のアドレスバス36に接続され、前記CPU35からチップイネーブル信号CE1～CE3が出力されていない状態のとき、アドレスデータをデコードしてチップイネーブル信号CE4またはチップイネーブル信号CE5のいずれかを生成するデコーダ40とを備えている。

【0019】そして、前記コネクタ機構9のコネクタブロック26に第1メモリカード2と、第2メモリカード3とが接続され、前記CPU35からチップイネーブル信号CE1～CE3が出力されていない状態で、デコーダ40からチップイネーブル信号CE4が出力されたとき、図8に示す如く第1メモリカード2内のRAM7が書き込み、読み出し可能状態になり、また前記デコーダ40からチップイネーブル信号CE5が出力されたとき、第2メモリカード3内のROM13が読み出し可能状態になる。

【0020】このようにこの実施例においては、電子機器8のカード挿入口の内側にコネクタ機構9を配置するとともに、第1、第2メモリカード2、3を連結自在にし、これら第1、第2メモリカード2、3を連結状態にしたまま、前記カード挿入口に挿入したとき、前記電子機器8側のCPU35と前記第1、第2メモリカード2、3とが接続されるようとしているので、コネクタの数を1にして、電子機器8側のコネクタスペースを最小に保持して操作性が悪化しないようにしながら、差し替えなどの操作を行うことなく各用途のメモリカードを同時に使用することができる。

【0021】また、この実施例においては、第1、第2メモリカード2、3を薄くするとともに、縦長に接続するようとしているので、電子機器8側のメモリカード取付け面積を小さくして電子機器8側のスペースを有効に使用することができる。

【0022】さらに、電子機器8側に設けられるコネクタ機構9のコネクタブロック26を可動式にしているので、第1メモリカード2を一枚だけ使用しても、また第1、第2メモリカード2、3を連結させた状態で使用しても、電子機器8のカード挿入口から突出している部分の面積を常に一定にすることができる。

【0023】また、上述した実施例においては、第1メモリカード2のメスコネクタ5を構成する各ピンのうちの1つが前記RAM7を選択するRAM用CEピン14として使用され、残りのうちの1つが第2メモリカード

3を選択するROM用CEピン15として使用され、また第2メモリカード3のメスコネクタ11を構成する各ピンのうち、前記ROM用CEピン15と接続されるピンが前記ROM13を選択するROM用CEピン16として使用されるようにしているが、図9に示す如くこれら第1、第2メモリカード2、3の筐体4、10上に、アドレス設定用のスイッチ45、46を設けるとともに、第1、第2メモリカード2、3の筐体4、10内にデコーダ47、48を設け、各スイッチ45、46の設定内容に基づいてデコーダ47、48を制御して図10に示す如く空域のいずれかの部分に第1メモリカード2のRAM7と、第2メモリカード3のROM13とを配置し、コネクタ機構9側から出力されるチップイネーブル信号CE4、CE5をデコードさせて第1メモリカード2、第2メモリカード3のいずれかを選択し得るようにも良い。

【0024】この場合、電子機器8は図11に示す如く各種の処理を行うCPU35と、このCPU35のアドレスバス36に接続され、前記CPU35からチップイネーブル信号CE1が送出されたとき、読み出し可能状態となるROM37と、前記CPU35のアドレスバス36に接続され、前記CPU35からチップイネーブル信号CE2が送出されたとき、書き込み、読み出し可能状態となるRAM38と、前記CPU35のアドレスバス36に接続され、前記CPU35からチップイネーブル信号CE3が送出されたとき、読み出し可能状態となるEEPROM39と、前記CPU35のアドレスバス36に接続され、前記CPU35からチップイネーブル信号CE1～CE3が送出されていない状態のとき、アドレスデータをデコードしてチップイネーブル信号CE4またはチップイネーブル信号CE5のいずれかを生成するデコーダ40とを備えている。

【0025】そして、前記コネクタ機構9のコネクタブロック26に第1メモリカード2と、第2メモリカード3とが接続され、前記CPU35からチップイネーブル信号CE1～CE3が送出されていない状態で、デコーダ40からチップイネーブル信号CE4またはチップイネーブル信号CE5が送出されたとき、スイッチ45、46の設定内容に基づいて第1メモリカード2内のRAM7が書き込み、読み出し可能状態になったり、第2メモリカード3内のROM13が読み出し可能状態になったりする。

【0026】また、上述した各実施例においては、メモリカードの枚数を2枚にしているが、これを3枚以上にして、各メモリカードにRAM7、ROM13以外の素子、例えばEPROM、EEPROMなどを使用するよりも、また同じ種類の素子を使用するようにしても良い。これによって、メモリカードの種類や枚数を増加して電子機器8の多機能化を容易に達成することができる。

【0027】また、上述した各実施例においては、ネジ30によってコネクタブロック26の位置を決定する固定機構を使用するようにしているが、他の固定機構、例えば第1、第2メモリカード2、3がカード挿入口に入れられた後に加えられる圧力を検出する圧力センサやこの圧力センサの時間変化を検出する検出回路、この検出回路の検出結果に基づいて前記コネクタブロック26を移動させるモータなどを使用した固定機構などを使用するようにしても良い。

10 【0028】また、上述した各実施例では、各メモリカード2、3に供給されるチップイネーブル信号CE4、CE5はデコーダ40で生成されているが、各メモリカード2、3側でアドレスをデコードして得るようにも良い。

#### 【0029】

【発明の効果】以上説明したように本発明によれば、コネクタの数を1にして、コネクタスペースを最小に保持して操作性が悪化しないようにしながら、差し替えなどの操作を行うことなく各用途のメモリカードを同時に使用することができる。

#### 【図面の簡単な説明】

【図1】本発明によるメモリカードシステムの一実施例で使用されるメモリカード部の一例を示す斜視図である。

【図2】図1に示すメモリカード部の接続対象となるコネクタ機構の一例を示す斜視図である。

【図3】図2に示す第1ガイドレールおよび第2ガイドレールの詳細な構成例を示す斜視図である。

【図4】図2に示すコネクタブロックの詳細な構成例を示す斜視図である。

【図5】図1および図2に示すメモリカード部と、コネクタ機構との接続例を示す平面図である。

【図6】図1および図2に示すメモリカード部と、コネクタ機構との接続例を示す平面図である。

【図7】図1に示すメモリカード部および電子機器の回路構成例を示すブロック図である。

【図8】図7に示す回路のメモリマップ例を示す模式図である。

40 【図9】本発明によるメモリカードシステムの一実施例で使用されるメモリカード部の一例を示す斜視図である。

【図10】図9に示すメモリカード部を使用したときのメモリマップ例を示す模式図である。

【図11】図9に示すメモリカード部および電子機器の回路構成例を示すブロック図である。

#### 【符号の説明】

- 1 メモリカード部
- 2 第1メモリカード
- 3 第2メモリカード

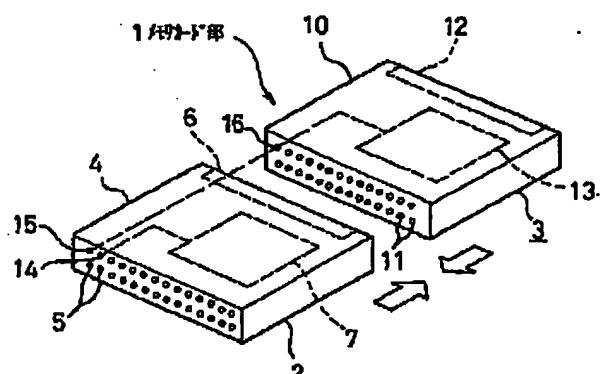
7

8

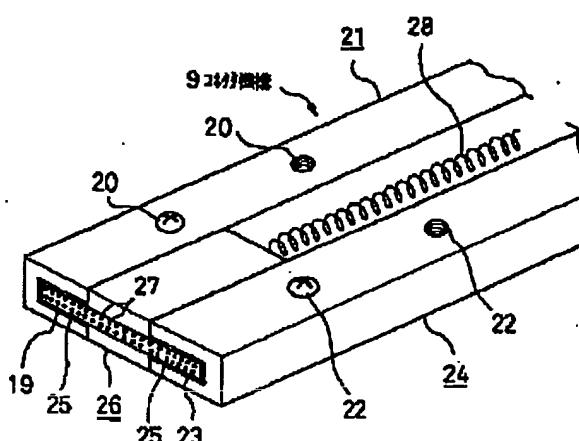
- 5、11 メスコネクタ
  - 6、12、27 オスコネクタ
  - 7 RAM
  - 8 電子機器
  - 9 コネクタ機構
  - 13 ROM
  - 14 RAM用CEピン
  - 15、16 ROM用CEピン

- 19、23 溝  
 20、22 コネクタ固定用のネジ穴  
 21 第1ガイドレール  
 24 第2ガイドレール  
 25 薄板部  
 26 コネクタブロック  
 28 圧縮コイルバネ  
 30 ネジ

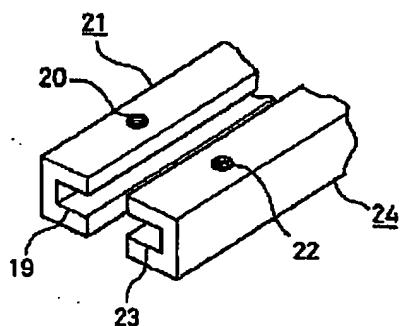
〔四〕



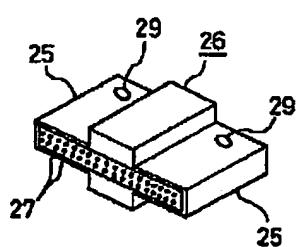
[図2]



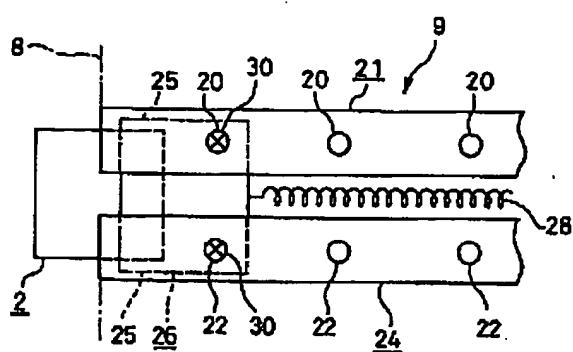
[图3]



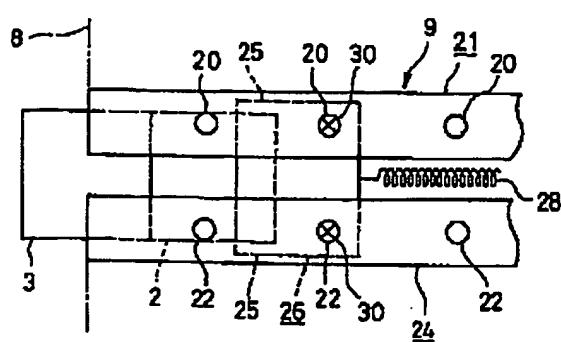
[图4]



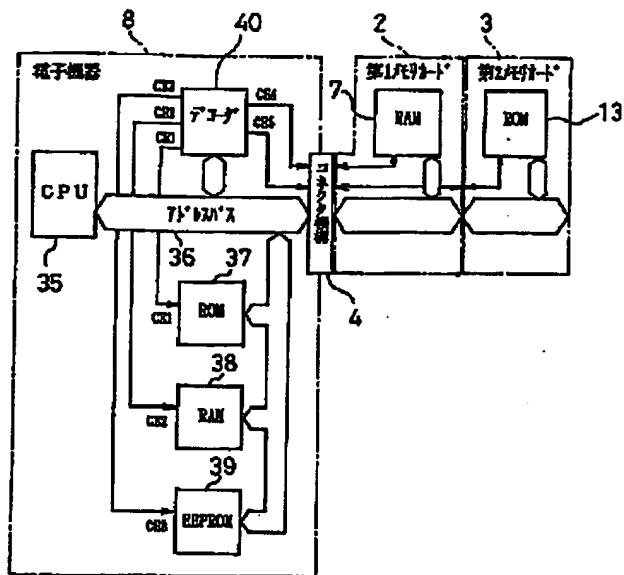
[图5]



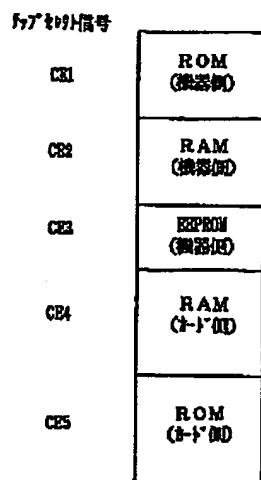
[图6]



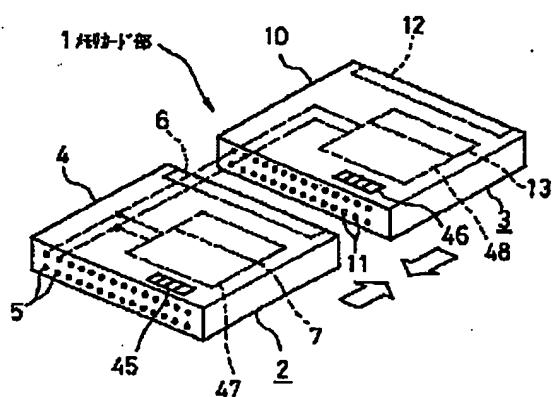
[図7]



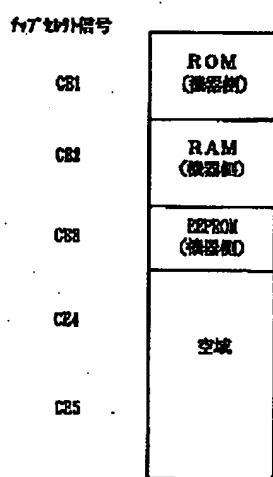
[図 8]



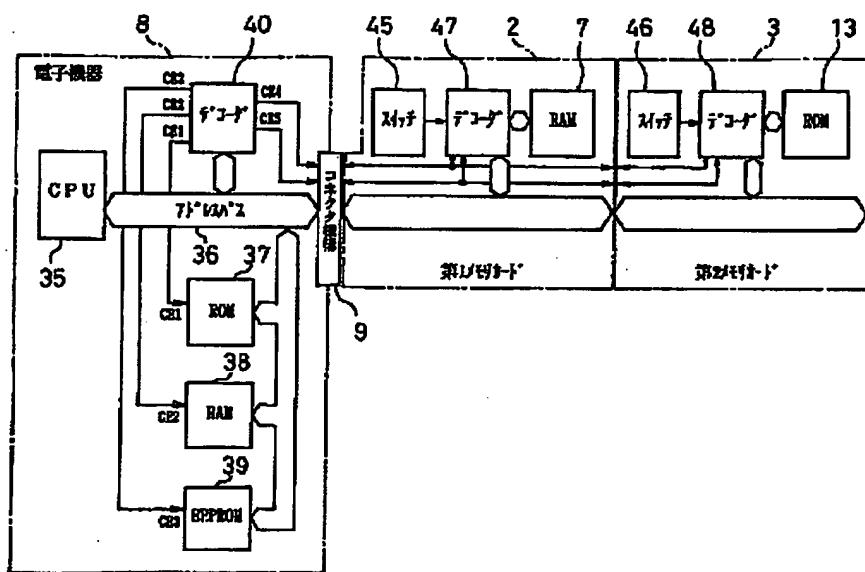
[图9]



[図10]



【図11】



フロントページの続き

(51) Int.Cl.<sup>6</sup>

識別記号 庁内整理番号

F I

技術表示箇所

G 06 K 19/077

G 06 K 19/00

K